



(19)

(11) Publication number: **09139434 A**

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: **07296472**(51) Intl. Cl.: **H01L 21/8238 H01L 27/092 H01L 29/786**(22) Application date: **15.11.95**

(30) Priority:

(43) Date of application publication: **27.05.97**

(84) Designated contracting states:

(71) Applicant: **HITACHI LTD**(72) Inventor: **HORIUCHI KATSUTADA  
IKEDA TAKAHIDE  
HIGUCHI HISAYUKI**

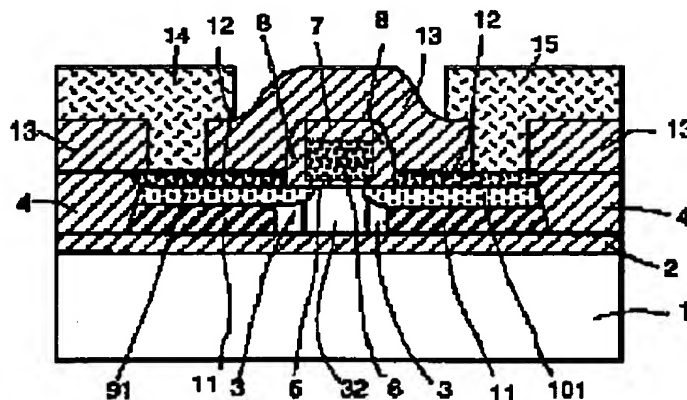
(74) Representative:

**(54) SEMICONDUCTOR  
DEVICE AND ITS  
MANUFACTURE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to remove the substrate floating effect of a MOS transistor by a method wherein a low density diffusion layer region is provided in the vicinity of the source diffusion layer region of the MOS transistor, and a region having a recombination center structure is provided in the low density diffusion layer region.

**SOLUTION:** A MOS type field effect transistor, which is formed on a SOI substrate 1, is provided. The high density n-type source diffusion layer 91 of the above-mentioned MOS transistor has the first diffusion layer 12 which is connected to a source electrode 14, and the second diffusion layer of a low impurity density region 3 which is at least in the neighborhood of the lower region of the first diffusion layer 12. Also, a region (crystal defective region) 11, having a recombination center mechanism relative to electric charge, is provided inside the second diffusion layer 3. As a result, the minority carrier generated on the SOI substrate 1 can be implanted into the crystal defective region 11 and annihilated, and the substrate floating effect is cancelled.



COPYRIGHT: (C)1997,JPO

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**  
**Publication No. 9-139434**

[0028] The semiconductor device according to the present invention has a symmetric structure of a source and a drain, and is applicable to a transfer MOS or the like which performs a bi-directional operation by exchanging between a source and a drain according to a circuit operation condition. Further, the recombination center region in the source/drain regions has no influence on the capacity between the drain and the substrate, and parasitic capacitance reduction effect by a thick buried oxide film, which is the most distinguishing feature of the conventional SOI/MOS, can be maintained. Additionally, the present invention is effective regardless of the conductivity of a semiconductor device, so that it is effective for eliminating a floating substrate effect of the SOI/CMOS. The present invention solves problems which are significant disadvantages in the conventional SOI/MOS, that is, a transient fluctuation of the threshold voltage, an abnormal current/voltage characteristic, lowering of the withstanding voltage of source/drain regions and the like. Therefore, it is possible to provide, without utilizing a novel semiconductor device fabrication system such as an exclusive ion implanter, a lower price semiconductor device which makes full use of original characteristics of SOI/MOS, for example, a low parasitic capacitance, a reduced number of

fabrication steps and the like and performs a high-speed operation.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-139434

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 E
	27/092		29/78	6 1 6 V
	29/786			6 2 6 B

審査請求 未請求 請求項の数24 O L (全 21 頁)

(21) 出願番号 特願平7-296472

(22) 出願日 平成7年(1995)11月15日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 堀内 勝忠  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(72) 発明者 池田 隆英  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 樋口 久幸  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体装置及びその製造方法

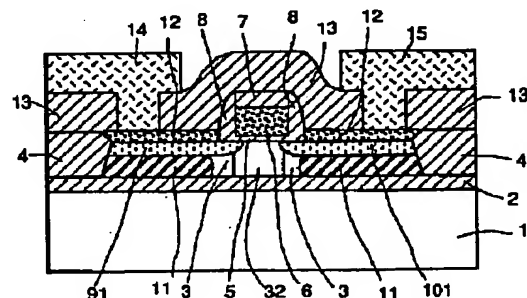
(57) 【要約】

【課題】 SOI 基板上に形成された MOS トランジスタの基板浮遊効果を解消できる半導体装置を提供する。

【解決手段】 SOI 基板 1 上に形成された MOS トランジスタのソース拡散層領域 9 1 に隣接して低濃度拡散層領域 3 を設け、更に該低濃度拡散層領域 3 内に再結合中心として作用する結晶欠陥層 1 1 を形成する。

【効果】 SOI 基板に発生した少数キャリアは結晶欠陥層 1 1 内に注入消滅され、基板浮遊効果が解消される。

図 1



## 【特許請求の範囲】

【請求項 1】 支持基板から絶縁膜で分離された単結晶半導体層に少なくとも MOS 型電界効果トランジスタが設けられた半導体装置において、  
上記トランジスタの第一導電型からなるソース拡散層は、ソース電極に接続された第一の拡散層と、該第一の拡散層の少なくとも下部領域に隣接した低不純物濃度領域の第二の拡散層とを有し、該第二の拡散層内部には電荷に対する再結合中心機構を有する領域が設けられていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、上記再結合中心機構を有する領域は第二導電型を有することを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、上記トランジスタのゲート電極直下の第二導電型からなる領域と、上記再結合中心機構を有する領域間の最小間隔  $W_b$  と該最小間隔を構成する第二の拡散層の最大不純物濃度  $N_b$  の積  $W_b \times N_b$  は  $1 \times 10^{13} / \text{cm}^2$  以下であることを特徴とする半導体装置。

【請求項 4】 支持基板から絶縁膜で分離された単結晶半導体層に第一導電型の MOS 型電界効果トランジスタと第二導電型の MOS 型電界効果トランジスタが設けられた半導体装置において、  
上記第一導電型の MOS 型電界効果トランジスタの第一導電型からなるソース拡散層はソース電極に接続された第一の拡散層と、該第一の拡散層の少なくとも下部領域に隣接した低不純物濃度領域の第二の拡散層よりなり、該第二の拡散層内部には電荷に対する再結合中心機構を有する第一導電型、又は第二導電型よりなる領域が設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、上記第二導電型の MOS 型電界効果トランジスタの第二導電型からなるソース拡散層はソース電極に接続された第三の拡散層と、該第三の拡散層の少なくとも下部領域に隣接した低不純物濃度領域の第四の拡散層を有し、該第四の拡散層内部には電荷に対する再結合中心機構を有し、第一導電型、又は第二導電型よりなる領域が設けられていることを特徴とする半導体装置。

【請求項 6】 支持基板から絶縁膜で分離された単結晶半導体層に素子間分離絶縁膜を形成し、電気的に互いに分離された単結晶半導体層領域群を形成する工程と、  
第一導電型の MOS 型電界効果トランジスタを形成する該単結晶半導体層領域群の所望個所には第二導電型の不純物を、第二導電型の MOS 型電界効果トランジスタを形成する該単結晶半導体層領域群の所望個所には第一導電型の不純物を選択的に導入する工程と、  
ゲート絶縁膜、及びゲート電極を形成する工程と、  
ゲート電極をマスクとして第一導電型の MOS 型電界効果トランジスタを形成する該単結晶半導体層領域群の表面部には第一導電型の高濃度不純物領域を、第二導電型

の MOS 型電界効果トランジスタを形成する該単結晶半導体層領域群の表面部には第二導電型の高濃度不純物領域を形成する工程と、

第一導電型の高濃度不純物領域に隣接し、該領域下部の第一導電型低不純物濃度領域内に第二導電型の領域を形成する工程と、

該第二導電型の領域の内部に支持基板上の絶縁膜に隣接するごとく再結合中心として作用する結晶欠陥領域を形成するイオン注入工程とを有することを特徴とする半導体装置の製造方法。

10

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、上記第一導電型の高濃度不純物領域に隣接し、該領域下部の一領域に第二導電型の領域を形成する工程を実施しないことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 又は 7 記載の半導体装置の製造方法において、上記単結晶半導体層領域群の表面部に第一導電型の高濃度不純物領域、及び第二導電型の高濃度不純物領域を形成する工程に続いて第一導電型の高濃度不純物領域に隣接し、該領域下部の一領域に第一導電型の低濃度不純物領域を形成する工程を実施することを特徴とする半導体装置の製造方法。

20

【請求項 9】 請求項 6 乃至 8 の何れかに記載の半導体装置の製造方法において、上記第二導電型の高濃度不純物領域を形成する工程の後、該第二導電型の高濃度不純物領域に隣接し、該領域下部の一領域に第二導電型の低濃度不純物領域を形成する工程を施してから該支持基板上の絶縁膜に達する第二導電型の低濃度不純物領域内にも再結合中心として作用する結晶欠陥領域を形成する前記イオン注入工程を施すことを特徴とする半導体装置の製造方法。

30

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、上記再結合中心として作用する結晶欠陥領域形成工程に先立ち、上記第二導電型の高濃度不純物領域に隣接し、該領域下部の一領域に第二導電型の低濃度不純物領域内の再結合中心として作用する結晶欠陥領域となるべき領域を第一導電型に変換する工程を施すことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 6 乃至 10 の何れかに記載の半導体装置の製造方法において、再結合中心として作用する結晶欠陥領域の形成は 14 族元素、ハロゲン元素、及び希ガス元素の何れかの元素のイオン注入により形成されることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、上記イオン注入はゲート側壁絶縁膜を注入阻止マスクとして為されることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 11 記載の半導体装置の製造方法において、上記イオン注入は上記ソース拡散領域へのソース電極用コンタクト孔を注入孔として為されることを特徴とする半導体装置の製造方法。

50

【請求項 14】支持基板から絶縁膜で分離され、且つ互いに分離された複数の単結晶半導体層の各々に MOS 型電界効果トランジスタが設けられた半導体装置において、

上記トランジスタのソース領域は第一導電型の第一の拡散層と、該拡散層の少なくとも下部領域に隣接した第一導電型の低不純物濃度領域と、上記第一の拡散層、及び上記第一導電型の低不純物濃度領域表面の高融点金属膜、又は高融点金属珪化膜により構成されることを特徴とする半導体装置。

【請求項 15】請求項 14 記載の半導体装置において、上記トランジスタは同一単結晶半導体層内で複数の MOS 型電界効果トランジスタと直列接続され、且つ該直列接続のトランジスタのソース領域は第一導電型の第一の拡散層と上記第一の拡散層表面の高融点金属膜、又は高融点金属珪化膜によりなることを特徴とする半導体装置。

【請求項 16】支持基板から絶縁膜で分離され、且つ互いに分離された第一群及び第二群の単結晶半導体層を有し、該第一群の単結晶半導体層には第一導電型の MOS 型電界効果トランジスタが、第二群の単結晶半導体層には第二導電型の MOS 型電界効果トランジスタが設けられた半導体装置において、

上記第一導電型の MOS 型電界効果トランジスタのソース領域は第一導電型の第一の拡散層と、該拡散層の少なくとも下部領域に隣接した第一導電型の低不純物濃度領域と、上記第一の拡散層、及び上記第一導電型の低不純物濃度領域表面の高融点金属膜、又は高融点金属珪化膜により構成されることを特徴とする半導体装置。

【請求項 17】請求項 14 乃至 16 の何れかに記載の半導体装置において、上記高融点金属膜、又は高融点金属珪化膜はその一底部領域において第二導電型不純物領域を介して上記第一導電型の低不純物濃度領域に接続されて構成されることを特徴とする半導体装置。

【請求項 18】請求項 1 乃至 5 又は 14 乃至 17 記載の半導体装置において、MOS 電界効果型トランジスタの一端のノードに容量素子が接続されて、一単位の記憶装置を構成することを特徴とする半導体装置。

【請求項 19】請求項 1 乃至 5 又は 14 乃至 17 の何れかに記載の半導体装置における第一のトランジスタと第二のトランジスタが互いに接続されて一対をなし、二対で一単位の記憶装置を構成することを特徴とする半導体装置。

【請求項 20】請求項 1 乃至 5 又は 14 乃至 17 の何れかに記載の半導体装置により論理回路装置が構成されることを特徴とする半導体装置。

【請求項 21】請求項 1 乃至 5 又は 14 乃至 17 の何れかに記載の半導体装置により非同同期型伝送モード装置が構成されることを特徴とする半導体装置。

【請求項 22】請求項 1 乃至 5 又は 14 乃至 17 の何れ

かに記載の半導体装置によりプロセッサ装置が構成されることを特徴とする半導体装置。

【請求項 23】絶縁膜上に設けられた単結晶半導体層と、

該半導体層内に互いに離間して設けられ、第 1 導電型を有する第 1 及び第 2 の不純物ドーピング領域と、該第 1 及び第 2 の不純物ドーピング領域の間の該単結晶半導体層上に設けられたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを有する半導体装置において、

10 上記第 1 の不純物ドーピング領域に接続され、第 1 導電型を有し、該第 1 の不純物ドーピング領域よりも濃度の低い第 3 の不純物ドーピング領域と、

主に該第 3 の不純物ドーピング領域を介して、上記ゲート電極下部の上記単結晶半導体層に接続され、該ゲート電極下部の上記単結晶半導体層内で発生する少数キャリアの発生速度よりも大きな再結合速度を有する再結合領域とを更に有することを特徴とする半導体装置。

【請求項 24】絶縁膜上に設けられた単結晶半導体層と、

20 該半導体層内に互いに離間して設けられ、第 1 導電型を有する第 1 及び第 2 の不純物ドーピング領域と、該第 1 及び第 2 の不純物ドーピング領域の間の該単結晶半導体層上に設けられたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを有する半導体装置において、第 1 導電型を有し、該第 1 の不純物ドーピング領域よりも濃度の低い第 3 の不純物ドーピング領域と、該第 3 の不純物ドーピング領域に接して設けられた結晶欠陥層とを更に有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、及び該半導体装置を構成要素とする記憶装置、電子制御装置、並びに電子計算機装置に関する。

【0002】

【従来の技術】絶縁膜上の単結晶半導体層にトランジスタを構成する手法は SOI (シリコン・オン・インシュレータ: Silicon On Insulator) 構造として公知であり、図 2 に示されるごとく構造が 1995 年春季応用物理学会講演予稿集 755 ページ等に記載されている。MOS 電界効果型トランジスタ (以降単に MOS と略記する。) は支持基板 1 から厚い絶縁膜 2 により隔離された単結晶シリコン (Si) 膜 3 0 に構成される。図 2 において、4 は素子間分離絶縁膜、5 はゲート絶縁膜、6 1 はゲート電極、7 はゲート保護絶縁膜、8 はゲート側壁絶縁膜、9 及び 10 は n 型高濃度拡散層で各々ソース、ドレイン領域である。図 2 のごとく SOI・MOS は直下に厚い絶縁膜 2 を有しているためドレイン接合容量、及び配線寄生容量が従来 MOS に比べて 1/10 程度にまで低減できる特徴を有している。更に MOS が基板から絶縁分離されているため  $\alpha$  線

照射による誤動作、及びラッチアップ現象を根本的に解消できる等の特徴を有している。

【0003】従来SOI・MOSの欠点は単結晶Si膜30が支持基板1から絶縁されているために、ドレイン強電界等により発生した少数キャリアが単結晶Si膜30内に過渡的に蓄積され、これにより閾電圧値が変動する、所謂基板浮遊効果にある。上記効果は少数キャリアの単結晶Si膜30内蓄積による電位上昇に伴い、ソースからの多数キャリア流入が生じる寄生バイポーラ効果でもある。n導電型SOI・MOS（nMOSと略記する）においては正孔が蓄積され、閾電圧値は負値方向に変動し、電流電圧特性に特異なこぶが観測されたり、オフ状態における漏洩電流の増大、更にはソース・ドレイン間耐圧の低下をもたらす。上記の基板浮遊効果は微小電流差の検出を要する差動増幅器やアナログ回路にとっては致命的な欠点となる恐れがある。

【0004】図2のSOI・MOSは上記の基板浮遊効果を解消するために提案された構造で、ソース高濃度拡散層9内にゲルマニウム（Ge）をイオン注入することによりGe成分比で10%程度のSiGe混晶16を構成している。図3は図2のSOI・MOSでドレイン電圧V<sub>ds</sub>が印加された状態におけるチャネルに沿ったエネルギーバンド図である。E<sub>f</sub>nは擬フェルミ準位、E<sub>i</sub>は真性フェルミ準位である。SiGe混晶16の導入によりバンドギャップは約0.1eV狭まり、ソースにおける価電子帯E<sub>v</sub>は破線で示されるごとく構成される。ソース近傍における正孔に対する拡散電位差が解消される。これによりドレイン近傍で発生し、単結晶Si膜30に注入された正孔は容易にソース内に拡散し、消滅する。伝導帯E<sub>c</sub>はSiGe混晶により影響を受けず、多数キャリアである電子の振舞には悪影響は無いとされている。

【0005】課題を同じくする他の公知技術が、特開平5-75120号公報、及び特開平6-291142号公報に開示されている。

【0006】特開平5-75120号公報に記載の技術は、n型高濃度ソース拡散層内に埋込絶縁膜に接する構成でp型高濃度領域を設け、該p型領域をコレクタとするpnp寄生バイポーラトランジスタによりn型高濃度ソース拡散層に注入された正孔の消滅を図るものである。

【0007】しかしながらこの方法では、以下に示す2つの欠点を有することが判明した。第1は、pnp寄生バイポーラトランジスタのベースとして作用するn型拡散層の濃度が高いため、p型SOI基板から正孔がn型高濃度ソース拡散層に注入されるには拡散電位差が高すぎ、正孔注入効率が極端に低くなることである。

【0008】第2は、仮りに正孔が注入されたとしてもコレクタとして作用するp型高濃度領域自体が再結合中心として作用するものではなく、正孔の吸収が保持でき

ないことである。p型高濃度領域自体に正孔消滅機構を有しない場合、この正孔の流れを保持するためにはコレクタとして作用するp型高濃度領域はn型高濃度ソース拡散層に対して負電圧を印加する必要がある。コレクタ端子が開放状態ではコレクタ電流が流れず、p型SOI基板に発生した正孔を引抜くことはできない。特開平6-291142号公報の技術は、n型高濃度ソース拡散層底部に接してp型拡散層を設けるものである。このp型拡散層は正孔の発生領域であるp型SOI基板と側面で接している。このような構造では、発生した正孔がp型拡散層にも分散されるためチャネル領域における正孔密度が相対的に低下し、基板浮遊効果が低減されるとするものである。しかしながら、本技術においても発生した正孔が消滅するものでなく、本質的な解決とはならない。特に、基板浮遊効果低減を図るためにはコレクタとして作用するp型拡散層領域の面積を大きくする必要があり、微細化、低寄生容量化又は高速動作化の妨げとなる。

【0009】

【発明が解決しようとする課題】図2で示される構造がSOI・MOSの基板浮遊効果解消に有効であるのはnMOSに限られ、汎用性が無い。p導電型MOS（pMOSと略記する）、及び相補型MOS（CMOSと略記する）には適用できない。即ち、SiGe混晶の存在はpMOSにおいてもソース拡散層近傍における価電子帯の拡散電位差を解消し、伝導帯の拡散電位差が保存される。この状況は多数キャリアである正孔はパンチスルー現象を起こし、ゲート電位で制御できなくなること、逆に単結晶Si膜30に注入された少数キャリアの電子はソース内に注入できず基板浮遊効果を解消できないことを意味する。

【0010】本発明の目的は、nMOSに限らず、p導電型MOS（pMOSと略記する）、及び相補型MOS（CMOSと略記する）等にも適用可能な汎用性の高い基板浮遊効果解消構造の半導体装置を提供することにある。

【0011】また、図2で示される従来構造ではSOI・MOSの基板浮遊効果解消が十分でなく、基板浮遊効果解消を更に推し進めるためにはSiGe混晶におけるGeの混晶比の上昇を伴う。これに伴い従来方法では結晶歪の発生による接合リーク電流の増加、更には接合破壊をもたらす欠点があった。

【0012】本発明の他の目的は、接合特性の劣化を伴うことなく、基板浮遊効果の解消が可能な半導体装置を提供することにある。

【0013】さらに、Geイオンの注入には通常GeH<sub>4</sub>（ゲルマン）をイオン源として用いるがGeH<sub>4</sub>は極めて分解し易い物質であり、注入イオンを安定に供給することが難しく、イオン電流の制御、従ってイオン注入条件の制御、に困難を伴うこと、及びイオン室を汚染する



ため他のイオン注入との共用が難しくGe専用のイオン注入装置の導入が不可欠等の問題点がある。

【0014】本発明の他の目的は、既存の共用可能な半導体製造装置のみで製造可能な基板浮遊効果解消構造を有する半導体装置の製造方法を提供することにある。

【0015】本発明の他の目的は、CMOSにおいて、同一製造工程によりnMOS、及びpMOSを同時に基板浮遊効果解消を実現することにより、製造工程の簡略化、ひいては製造原価の低減を図ることにある。

【0016】

【課題を解決するための手段】本発明の動作原理をnMOSを例として説明する。なお、pMOSに関しては導電型を反対導電型に置換えることにより同様に作用させることができる。

【0017】本発明においてはドレイン近傍で発生し、基板内に蓄積される正孔を速やかにソース拡散層内に注入、消滅させる。

【0018】上記手段として、チャネル直下のp型基板領域とソース拡散層間に形成される拡散電位差が小さい領域、即ち十分に低濃度のn型拡散層領域をソース高濃度拡散層に隣接して設ける。更に該n型低濃度拡散層領域内に正孔に対して再結合中心として作用する領域を設け、n型低濃度拡散層領域内に注入された正孔を消滅させる。正孔消滅に要する電子はソース表面のn型高濃度拡散層領域から供給される。再結合中心による正孔消滅機構として本発明においては結晶欠陥等に基づく再結合中心を利用する。

【0019】図4は本半導体装置におけるソース拡散層近傍の拡大断面図であり、図5はドレイン電圧が接地電圧におけるソース近傍のエネルギーバンド図である。ソース領域底部は埋込酸化膜により外部から分離された構成を仮定している。図4において、高濃度ソース拡散層による従来ソース構造の場合のエネルギーバンドも破線で示したが本発明構造において、正孔に対する拡散電位差の低下は明らかである。低濃度拡散層の不純物濃度は伝導型が変わらない範囲で低い方が良く、 $1 \times 10^{15} / \text{cm}^3$ 以上、 $1 \times 10^{18} / \text{cm}^3$ 以下が望ましい。再結合中心として作用する結晶欠陥の形成はn型低濃度拡散層における正孔に対する拡散電位差を増大させない元素によるイオン注入を施し、SOI層底面部を非晶質化させる。上記非晶質はその後の短時間高温熱処理においても底部が酸化膜であるため再結晶化熱処理による単結晶化はゲート直下の単結晶SOI層側面部を除いて行なわれず、多結晶化が進行するだけである。上記多結晶、又は非晶質性は熱処理条件により制御可能であり、再結合中心特性を制御できる。

【0020】MOS型半導体装置の主流であるCMOS半導体装置に本発明手法を適用するに当たり、nMOSとpMOSを各々個別に適用することは製造工程数の増

につながる。従って、再結合中心を形成するイオン注入源としてはn型、及びp型低濃度拡散層における少数キャリアに対する拡散電位差を増大させない元素を同一工程でpMOS及びnMOSの各ソース低濃度拡散領域にイオン注入させ、再結合を形成することが望ましい。上記観点からSi半導体によるMOS半導体装置においてはイオン注入源としてP、B、As、Sb、Gaのごとく容易に活性化してn、又はp導電型を形成する元素以外の元素であることが望ましい。更に、イオン注入によ

り半導体基板を非晶質化する元素であることが望ましく、原子質量が10以下の元素は好ましくない。Si半導体内において拡散係数が異常に大きく信頼性を損なうNa、Kのごときアルカリ金属、Mgを含むアルカリ土類金属も好ましくない。本発明においては半導体を構成するSi、Ge、C等の14族元素、F、Cl等のハロゲン元素、Ne、Ar等の希ガス元素が好ましい。特に廉価で、供給も安定し、イオン化が容易で且つ安定なSi、C、Ne、Ar、Cl等の元素が最も好ましい。

【0021】本半導体装置の一形成方法としてはまずゲート電極をマスクとして低濃度、及び高濃度のソース・ドレイン拡散層を形成する。上記低濃度拡散層はSOI層直下の厚いシリコン酸化膜に達するごとくイオン注入とその後の熱処理により形成する。この状態よりゲート側壁絶縁膜の形成し、ゲート電極及びゲート側壁絶縁膜をマスクとする例えばSiのイオン注入をSOI層直下の厚いシリコン酸化膜に達するごとく施して上記酸化膜界面領域のSOI層を非晶質化させる。上記非晶質領域はその後の熱処理によっても界面部は単結晶化されず、微少粒界よりなる多結晶化され、再結合中心として機能する。再結合中心領域とチャネル領域SOI基板間間隔、即ちソース低濃度n型拡散層幅はゲート側壁絶縁膜の膜厚により制御する。上記ソース低濃度n型拡散層幅は少数キャリアが容易に再結合中心領域に達し、消滅するために100nm以下であることが望ましい。SOI層表面に構成するn型高濃度ソース領域は上記再結合中心領域の形成後、その表面部の一定厚さを選択除去した後、堆積法による半導体膜を残して形成しても良い。

【0022】本半導体装置の他の形成方法としては従来製造方法に基づき所望の拡散層構造を有するソース・ドレイン領域を形成した後、ソース電極との接続の為にコンタクト穴形成において、上記コンタクト穴から選択的にSOI層直下の厚いシリコン酸化膜に達する低濃度拡散層形成のイオン注入を施す。しかる後、上記コンタクト穴寸法を一定幅縮小するごとく側壁膜を設け、該側壁膜を注入マスクとする再結合中心領域形成のイオン注入をSOI層直下の厚いシリコン酸化膜に達するごとく施しても良い。

【0023】本発明の手法はゲート電極及びゲート側壁絶縁膜、又はコンタクト穴をイオン注入マスクとして実施するため、ドレイン領域にも同様の構造が形成され



る。ドレインにおいてはドレイン電圧がn型高濃度領域に印加されるが、ドレインにおけるn型高濃度領域と底部の再結合中心領域との関係は正孔注入に関して逆方向特性の関係にあるため接合リーク電流の増加は無視でき、NOSトランジスタとしての動作に何ら支障は生じない。

【0024】図4に示した構造において、n型高濃度領域を接地電位とし、p型低濃度SOI基板に正電圧を印加した時に流れる正孔電流を再結合中心領域とチャネル領域SOI基板間隔のパラメータとして数値解析により求めた結果を図6に示す。上記解析には厚さ300nm、 $4 \times 10^{17}/\text{cm}^3$ なる一様濃度分布のp型SOI層を用い、再結合中心領域とチャネル領域SOI基板間隔、即ちソース低濃度n型拡散層幅をパラメータとした。ソース低濃度n型拡散層は最大濃度 $1 \times 10^{16}/\text{cm}^3$ のガウス分布を有し、SOI層底部の埋込絶縁膜に接するごとく構成した。再結合時間は再結合中心領域で $1/10^{10}$ 秒、他の領域では $1/10^4$ 秒を仮定している。再結合時間 $1/10^{10}$ 秒なる値は多結晶Si膜では通常観測される値である。

【0025】図6には参考のために再結合中心領域を有しない通常ソース構造の正孔電流も細線で示した。正孔電流に関しては印加電圧に対して指数関数に比例した電流が流れ始める閾電圧が存在し、閾電圧以下では印加電圧ゼロで電流がゼロになるごとく振舞う。本半導体装置構造の場合、ソース低濃度n型拡散層幅が40nm以下の条件で閾電圧値近傍での正孔電流は従来構造に比べて三桁程度大きく、閾電圧も0.2Vの低下が見られる。上記の意味するところは本半導体装置構造では正孔電流に対するソース拡散電位が従来構造に比べて0.2eV低下されたことを示している。上記の値は公知のソース内SiGe混晶形成によるソース拡散電位の低下値0.1eVの2倍であり、基板浮遊効果解消が公知手法に比べて更に改善されることを示している。上記閾電圧の低下はベース幅の増加と共に解消される方向に向かうが、0.1 $\mu\text{m}$ のソース低濃度n型拡散層幅でも従来構造に比べて0.04Vの低下が観測される。即ち、本半導体装置構造において、ソース低濃度n型拡散層幅は0.1 $\mu\text{m}$ 以下であることが望ましい。

【0026】図6の結果はチャネル領域SOI基板に正の電圧を印加する順方向特性に関するものである。n型高濃度領域に正電圧を印加する逆方向特性に関しても数値解析を実施したが、-3Vまでの解析結果では電流は計算誤差範囲内の $1/10^{13}$ から $1/10^{15}$ Aの間の値で、通常構造のものと差が見られなかった。この結果はソース内と同様の構造をドレイン内に構成してもリーク電流の増加等の問題が生じないことを示している。

【0027】上記の正孔電流はチャネル領域SOI基板側から見た正孔消滅領域の断面積に比例する。従って、SOI層厚がソース/ドレイン高濃度拡散層の接合深さ

を規定するほど極薄となった場合、正孔消滅効果が制限される。例えばSOI層厚が50nm、ソース/ドレイン高濃度拡散層の接合深さが40nm、正孔消滅領域の厚さが10nmの場合、通常構造に比したソース正孔電流の増加成分は高々1桁強に過ぎない。上記の如き極薄SOI基板構造に於いては正孔消滅領域をp型拡散層に構成すれば正孔消滅効果の効率は更に向上し、十分な正孔消滅効果が期待できる。上記は図7の等価回路図で示す如くチャネル直下のp型基板領域がエミッタ、低濃度のn型拡散層領域がベース、正孔消滅領域がp型コレクタとする寄生pnp型バイポーラトランジスタを構成することと等価であり、正孔消滅領域をp型コレクタとすることにより正孔消滅領域が低濃度n型領域で構成される構造に比べて正孔引抜き効果が更に増大される。図8は正孔消滅領域をp型拡散層で構成した構造についてn型高濃度領域を接地電位とし、p型低濃度SOI基板に正電圧を印加した時に流れる正孔電流を再結合中心領域とチャネル領域SOI基板間隔のパラメータとして数値解析により求めた結果を示す。ここにおいて、SOI層厚は50nm、ソース/ドレイン高濃度拡散層の接合深さは40nm、正孔消滅領域の厚さは10nmである。図よりSOI層厚が50nmと極薄構造の場合に於いても十分な正孔消滅効果、即ち基板浮遊効果の解消が図られることが分かる。

【0028】本発明に基づく半導体装置はソース、ドレインに関して対称な構造を有しており、回路動作条件によりドレインとソースを入替えて両方向動作させる所謂トランスファMOS等に対しても有効である。更にソース・ドレイン内における再結合中心領域の存在はドレイン・基板間容量に何ら影響を与えるものでなく、従来SOI・MOSの最大特徴である厚い埋込酸化膜による寄生容量低減効果は維持される。更に、本発明は半導体装置の導電型に関係無く有効であり、従ってSOI・CMOSの基板浮遊効果の解消に有効である。本発明に基づけば従来SOI・MOSの最大の欠点であった基板浮遊効果に基づく閾電圧の過渡的変動、異常電流・電圧特性、更にはソース・ドレイン耐圧低下等の問題を解消することができる。これによりSOI・MOSの本来の特徴である低寄生容量、製造工程数の低減化等の特徴を活かした高速動作が可能な半導体装置を専用のイオン注入装置等、新規の半導体装置製造装置を導入すること無く廉価に提供することができる。

【0029】本発明における他の手法としてチャネル直下のp型基板領域とソース拡散層間に形成される拡散電位差が小さい領域、即ち十分に低濃度のn型拡散層領域をソース高濃度拡散層に隣接して設ける。更に該n型低濃度拡散層領域に隣接して、正孔に対して再結合中心として作用する金属又は金属珪化膜を設け、n型低濃度拡散層領域内に注入された正孔を消滅させる。図9はドレイン電圧が接地電圧における本半導体集積回路装置のソ

ース近傍のエネルギーバンド図である。図 9 において、高濃度ソース拡散層による従来ソース構造部分のエネルギーバンドを実線で、n 型低濃度拡散層領域部分のエネルギーバンドを破線で示した。本発明構造において、高濃度ソース拡散層部分に比べて n 型低濃度拡散層領域部分における正孔に対する拡散電位差の低下は明らかである。n 型低濃度拡散層の不純物濃度は伝導型が変わらない範囲で低い方が良く  $1 \times 10^{15} / \text{cm}^3$  以上で、 $1 \times 10^{18} / \text{cm}^3$  以下が望ましい。n 型低濃度拡散層と金属又は金属珪化膜間にはショットキ障壁が形成されるが、該障壁は正孔に対しては拡散障壁にはならず、正孔は金属又は金属珪化膜に達し、速やかに消滅される。

【0030】ドレイン近傍で発生し、基板内に蓄積される正孔を速やかにソース拡散層内に注入させる上で、p 型基板領域とソース拡散層間に形成される拡散電位差が小さいことが必須条件であるが、上記金属珪化膜の形成過程において、高濃度ソース拡散層上に形成された金属珪化膜を介して n 型不純物が極めて速やかに n 型低濃度拡散層領域表面部に拡散し、表面部分を高濃度化する恐れも有りえる。上記高濃度化は正孔に対して拡散電位差を大きくし、正孔のソース領域注入を困難にする。上記観点から正孔を金属珪化膜内に注入すべき n 型低濃度拡散層領域表面部を p 型化することも基板浮遊効果解消の上で極めて有効である。上記 p 型化工程はソース電極との接続のためのコンタクト孔からの p 型イオン（例えば B）のイオン注入により実現できる。金属珪化膜を介した n 型不純物の高速拡散の問題を解消する他の手段は正孔再結合中心として金属珪化膜を形成する代わりに W 等の高融点金属膜を用いればよい。この場合、不純物の高速拡散は生じず、n 型低濃度拡散層領域表面の p 型化工程は省略できる。

【0031】本発明構造のソース領域においては金属又は金属珪化膜下部に高濃度拡散層と低濃度拡散層を形成する必要がある。nMOS のみで半導体集積回路装置が構成される場合は上記二種類の拡散層領域を分離するためのマスクを必要とする。CMOS においては上記拡散層領域分離のマスクは pMOS 領域への n 型イオン注入阻止マスクで n 型低濃度拡散層形成予定領域を覆う構成にすれば余分のマスクを要せず、従って製造工程数の増加を伴わない。

【0032】本発明は SOI 基板内に発生した少数キャリアの正孔に対するソース接合障壁を低下させる n 型低濃度拡散層の存在と、n 型低濃度拡散層に注入された正孔を速やかに消滅させる再結合中心としての役割を有する金属又は金属珪化膜をソース領域に有する構造に特徴がある。イオン注入阻止マスクを実用マスク合わせ装置では精度良く位置合わせするのが實際上困難な微細領域、例えば CMOS NAND ゲートにおける直列接続 nMOS ソース・ドレイン領域のごとくコンタクト孔も配置されない最小寸法領域には n 型低濃度拡散層の形成は

事実上できない。従って上記領域においては本発明のソース構造を適用できない。NAND ゲートの基板浮遊効果解消を実現するため、本発明においては直列接続トランジスタ部分のソース・ドレイン拡散層底部は電氣的に共通基板となるごとくソース・ドレイン高濃度拡散層を浅く形成し、最終トランジスタのソース領域のみに上記の少数キャリア消滅機構を構成する。

【0033】ソースとドレインの役割が動作タイミングにより逆転する双方向トランジスタ（トランスファ MOS）においては本発明に基づく少数キャリア消滅機構がドレイン領域にも形成される。ドレインにおいてはドレイン電圧が n 型高濃度領域と共に n 型低濃度拡散層にも印加されるが、ドレインにおける n 型低濃度領域は正電圧印加に関して逆方向特性の関係にあるため接合リーク電流の増加は無視でき、NOS トランジスタとしての動作に何ら支障は生じない。

#### 【0034】

【発明の実施の形態】以下、本発明を実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型、及び製造条件などは本実施例の記載に限定されるものではなく、それぞれ多くの変形が可能であることはいうまでもない。

#### 【0035】実施例 1

図 10 から図 12 は本発明の第 1 の実施例による半導体装置の製造工程順を示す断面図、図 1 はその完成断面図である。直径 12.5 cm の単結晶 Si よりなる支持基板 1 上に 500 nm 厚のシリコン酸化膜（単に酸化膜と称する）2、及び 200 nm 厚の n 導電型、抵抗率 0.5  $\Omega \text{cm}$ （不純物濃度  $1 \times 10^{16} / \text{cm}^3$ ）、面方位（100）の単結晶 Si 層 3 からなる SOI 基板に公知の MOS 電界効果型トランジスタの製造方法により素子間分離絶縁膜 4、5 nm 厚のゲート酸化膜 5、n 型低抵抗多結晶 Si 膜よりなるゲート電極 6、ゲート保護絶縁膜 7 を形成した。なお、ゲート酸化膜 5 の形成に先立って、閾電圧値が 0.1 V となるごとく単結晶 Si 層 3 のゲート電極形成予定領域 32 に選択的に B のイオン注入を施した。上記イオン注入はゲート酸化膜 5 の形成後に実施しても良い。ゲート長は 200 nm である。この状態よりゲート保護絶縁膜 7 及びゲート電極 6 を注入阻止マスクとして加速エネルギー 25 keV、ドーズ量  $3 \times 10^{15} / \text{cm}^2$  の条件により As のイオン注入とその後の熱処理を施し、高濃度 n 型拡散層ソース 91、及びドレイン 101 を形成した。上記の各 n 型不純物イオン注入では単結晶 Si 層 3 は単結晶性を維持していた（図 10）。

【0036】図 10 の状態より、200 nm 厚の堆積性絶縁膜を全面に形成し、異方性ドライエッチングによりゲート側壁部にのみ上記絶縁膜を選択的に残置させてゲート側壁絶縁膜 8 を形成した。ゲート側壁絶縁膜 8 の膜

厚条件に関して、最小膜厚 20 nm、最大膜厚 0.5  $\mu$ m まで 10 から 100 nm 間隔で変化させた本実施例に基づく半導体装置も別途製造した。引続き、高濃度 n 型拡散層ソース 91、及びドレイン 101 下部に残置された低濃度 n 型基板領域 3 の酸化膜 2 界面で濃度が最大となるごとくドーズ量  $3 \times 10^{15} / \text{cm}^2$  なる条件で Ar のイオン注入を施した。上記イオン注入の後、800  $^{\circ}\text{C}$ 、10 分の熱処理を施した。同一条件で別途製造した試料についてその断面を透過型電子顕微鏡により観察した結果、酸化膜 2 界面近傍に微細粒径多結晶よりなる結晶欠陥領域 11 が形成されていることが明らかとなった。Ar のイオン注入はその最大濃度が酸化膜 2 内になるごとく加速エネルギーを設定してもよい。更に別途実験の結果、結晶欠陥領域 11 形成のイオン注入はイオン種として Ar でなくとも良く、Ne 等の希ガス元素、F、Cl 等のハロゲン元素、及び Si、C、Ge 等の IV 族元素であっても同等の効果が得られることが判明した。しかしながら P のごとく Si 単結晶中で n 伝導型を構成する元素のイオン注入では後述のごとく効果がないことが判明した。(図 11)。

【0037】図 11 の状態よりソース抵抗の低減を図る目的で化学気相反応による 150 nm 厚の W 膜 12 を露出されている Si 面に選択的に堆積した。上記 W 膜 12 はスパッタリングによる全面被着と、少なくとも高濃度 n 型領域 91 及び 101 表面を覆うごとくパターンニングして形成しても良い。しかる後、燐が添加されたシリコン酸化膜による配線保護絶縁膜 13 の堆積を施した(図 12)。

【0038】図 12 の状態より公知の半導体装置の製造方法に基づき配線保護絶縁膜 13 の所望箇所への開口、更には配線金属の蒸着とそのパターンニングによるソース電極 14、ドレイン電極 15 等を含む配線を形成した。(図 1)。

【0039】上記製造工程を経て製造された本実施例に基づく半導体装置のソース・ドレイン間耐圧は 4.7 V とソース内の結晶欠陥領域 1 が構成されていない同一寸法の従来構造 SOI MOS に比べて約 1.5 V 向上し、通常半導体基板に製造された同一寸法の MOS と同等の耐圧値を確保することができた。また、電流・電圧特性においてもキック特性と称される異常なこぶ状特性は観測されず、正常な特性を示した。更に、ソース・ドレイン電流・ゲート電圧特性において、従来 SOI・MOS で観測された低ゲート電圧におけるリーク電流の存在も観測されなかった。また上記リーク電流、及び閾電圧値はドレイン電圧を変化させても変化が見出せなかった。これらの特性から、本実施例に基づく半導体装置では基板浮遊効果に伴う緒特性から完全に解消されたことが明らかとなった。本実施例に基づく半導体装置の電流・電圧特性は正常な特性を示し、ソース、及びドレイン内部に形成された結晶欠陥領域 11 は何ら悪影響を及ぼさな

いことも判明した。本実施例に基づく上記基板浮遊効果の解消は本実施例に基づきゲート側壁絶縁膜 8 の膜厚を変化させて製造した半導体装置において、結晶欠陥領域 11 端から閾電圧制御用イオン注入 p 型領域 32 までの間隔が 500 nm 以下から 20 nm まで観測されたが特性のばらつきも観測されず、上記間隔が 500 nm 以下であれば十分な基板浮遊効果が得られることが明らかとなった。なお、結晶欠陥領域 11 形成を P のイオン注入に基づいて形成した試料においては基板浮遊効果解消が殆ど見出せなかった。

【0040】本実施例に基づく半導体装置が SOI MOS の基板浮遊効果解消に有効なことから酸化膜 2 に接して構成された結晶欠陥領域 11 の多結晶性が注入された正孔の再結晶中心として十分に作用することが推測された。

【0041】本実施例に基づく半導体装置においては単結晶 Si 層 3 が 200 nm と比較的厚く、チャネル領域下部における基板領域では閾電圧以上のゲート電圧印加によっても空乏層と中性領域が存在する所謂部分空乏化構造となる。部分空乏化構造は低電圧・高速動作で完全空乏構造に比べてやや落ちるが製造条件において従来の半導体基板を用いた条件で容易に製造できる。本実施例に基づく半導体装置においては廉価に部分空乏化構造 MOS の基板浮遊対策を提供できることを示している。

#### 【0042】実施例 2

図 13 は本発明の他の実施例による半導体装置の製造工程を示す断面図、図 14 はその完成断面図である。本実施例では前記実施例 1 に於ける n 導電型単結晶 Si 層 3 に代えて p 導電型、抵抗率 10  $\Omega \cdot \text{cm}$  で、他の仕様は同一条件の単結晶 Si 膜 30 からなる SOI 基板を用いた。前記実施例 1 に基づいて素子間分離絶縁膜 4、ゲート酸化膜 5、ゲート電極 6、ゲート保護絶縁膜 7 の形成まで行なったがゲート酸化膜 5 の形成に先立って単結晶 Si 膜 30 の最大不純物濃度が表面部で  $2 \times 10^{17} / \text{cm}^3$  になるごとく B のイオン注入を施した。この状態から底部が酸化膜 2 に達し、最大不純物濃度が  $1 \times 10^{17} / \text{cm}^3$  となる n 型低濃度拡散層 33 を形成する P のイオン注入をゲート保護絶縁膜 7 及びゲート電極 6 を注入阻止マスクとして行なった。引き続き前記実施例 1 に従い、ゲート保護絶縁膜 7 及びゲート電極 6 を注入阻止マスクとした As イオン注入とその後の活性化熱処理により高濃度 n 型拡散層ソース 91、及びドレイン 101 を形成した。上記の各イオン注入領域は熱処理により単結晶化が為されていた(図 13)。

【0043】図 13 の状態より 100 nm 厚のシリコン窒化膜を全面に堆積し、異方性ドライエッチングによりゲート電極側壁部にのみ上記シリコン窒化膜を選択残置させてゲート側壁絶縁膜 8 とした。次に、ゲート側壁絶縁膜 8 とゲート保護絶縁膜 7 及びゲート電極 6 を注入阻止マスクとして Si のイオン注入を酸化膜 2 界面で濃度

が最大となるごとくドーズ量  $1 \times 10^{15} / \text{cm}^2$  なる条件で行なった。上記イオン注入の後、 $900^\circ\text{C}$ 、10分の熱処理を施したが熱処理後も酸化膜2界面近傍の単結晶Si膜30に微細粒径多結晶の結晶欠陥領域11が残置されていた。結晶欠陥領域11は高濃度n型拡散層ソース91、及びドレイン101下部領域のn型低濃度拡散層33内に形成されていたが、その上部に構成されている高濃度n型拡散層ソース91、及びドレイン101、更にはその側部のn型低濃度拡散層33は単結晶化されていた。上記熱処理の後、80nm厚のTi膜のスパッタリングとその後の熱処理により単結晶Si膜30露出部に選択的にTi珪化膜121を形成してから上記個所以外領域の未反応Ti膜を選択的に除去した。引続き選択形成したTi珪化膜121の低抵抗化熱処理を施してから前記実施例1に従い配線保護絶縁膜13の堆積と、所望箇所への開口、配線金属膜の蒸着とそのパターンニングによるソース電極14、ドレイン電極15等を含む配線を形成した(図14)。

【0044】上記製造工程を経て製造された本実施例に基づく半導体装置に於いては使用した単結晶Si層30の導電型、抵抗率によらずイオン注入によるn型低濃度拡散層33を形成することにより前記実施例1の半導体装置と同様、SOI構造に起因する基板浮遊効果に伴う緒現象を解消することができた。

#### 【0045】実施例3

図15は本発明の他の実施例による半導体装置の完成断面図である。本実施例では前記実施例2で用いた単結晶Si膜30の厚さが70nmと超薄膜のSOI基板を用いた。上記単結晶Si膜30に前記実施例2に従って半導体装置を製造した。本実施例に於いては、Siイオン注入に先立ってSiイオン注入予定領域に  $5 \times 10^{13} / \text{cm}^2$  ドーズ量のBイオン注入を実施し、p導電型の結晶欠陥領域111とした。上記Bイオン注入は結晶欠陥領域が構成されるn型低濃度拡散層33の導電型を補償し、反対導電型にするドーズ量であれば良く、更に高濃度にp反転させても良い。

【0046】上記製造工程を経て製造された本実施例に基づく半導体装置においては、前記実施例1及び2に基づく半導体装置と同様に基板浮遊効果に伴う緒特性が観測されず、正常なSOIMOS特性を得ることができた。

【0047】本実施例に基づく半導体装置においては単結晶Si層3が70nmと極めて薄く、単結晶Si層30内の電荷量限定により閾電圧以上のゲート電圧条件ではチャネル領域の単結晶Si層30に中性領域は存在せず、完全空乏状態となっている。これは電流駆動源であるチャネル中の可動電荷を効果的に誘起することができ、大電流化に適している。即ち、低電圧・高速動作に適している。本実施例に基づく半導体装置においては基板浮遊効果を伴うことなく上記の完全空乏型SOIMO

Sが従来半導体装置の製造方法のみで廉価に提供できた。

#### 【0048】実施例4

図16から図17は本発明の他の実施例による半導体装置の製造工程を示す断面図、図18はその完成断面図である。本実施例では前記実施例2で用いた単結晶Si膜30と同一仕様のSOI基板を用いた。前記実施例2に基づいて素子間分離絶縁膜4、ゲート酸化膜5、ゲート電極6、ゲート保護絶縁膜7の形成まで製造工程を進めた後、ゲート電極6、及びゲート保護絶縁膜7をマスクとするAsの2keVなる低加速エネルギーで高濃度イオン注入を行ない、接合深さ10nm、表面不純物濃度  $1 \times 10^{21} / \text{cm}^3$  なる浅接合n型高濃度拡散層95、及び105を形成した。続いて、前記実施例2に従い100nm厚のゲート側壁絶縁膜8を形成し、ゲート側壁絶縁膜8をマスクとするPの高濃度イオン注入を行ない、接合深さ100nmの低抵抗ソース拡散層91、及び低抵抗ドレイン拡散層101を形成した(図16)。

【0049】図16の状態より公知の半導体装置製造方法に基づき、配線保護絶縁膜13の堆積と、所望箇所への開口を施した。上記開口よりPのイオン注入を施し、低抵抗ソース拡散層91下部に接し、下地酸化膜2に達するごとく最小不純物濃度  $1 \times 10^{16} / \text{cm}^3$  なるn型低濃度拡散層9を形成した。上記工程において、ドレイン拡散層底部にもn型低濃度拡散層10が同時に形成される。上記n型低濃度拡散層9及び10の活性化と拡散深さを調整する熱処理を施した後、前記開口側面に配線保護絶縁膜13材料を異にする堆積膜131をドライエッチングの手法を用いて選択的に残置させた。開口側壁絶縁膜131は開口から一定膜厚でイオン注入マスクとなる膜が側壁部に存在することに意味があり、開口底部に存在していても次工程には何ら問題は生じない。この状態から開口側壁膜131をマスクとするSiの高エネルギーイオン注入を前記実施例2の条件に基づき実施し、結晶欠陥領域11を上記n型低濃度拡散層9内の酸化膜2界面近傍に形成した。上記製造工程において、結晶欠陥領域11端からn型低濃度拡散層9接合までの間隔の調整に開口側壁膜131を用いる手法について説明したが、上記はn型低濃度拡散層接合深さを熱処理により調整する手法に基づいても良い。この場合、開口側壁膜131の形成工程は省略できる(図17)。

【0050】図17の状態より公知の半導体装置の製造方法に基づき、配線金属材料によるソース電極14、ドレイン電極15を含む電極、及び配線層を形成した。図16においては開口側壁膜131を除去してから配線材料を形成する工程に従った半導体装置断面図を図示したが、上記開口側壁膜は所望により残置させたままであっても何ら問題は生じない(図18)。

【0051】上記製造工程を経て製造された本実施例に基づく半導体装置においては、前記実施例1及び3に基

10

20

30

40

50

づく半導体装置と同様に基板浮遊効果に伴う緒特性が観測されず、正常な部分空乏型 SOI MOS 特性を得ることができた。更に、本実施例に基づく半導体装置においては基板浮遊効果解消がコンタクト孔領域だけで実現できるため、トランジスタ特性を決定するゲート電極端近傍におけるソース、ドレイン拡散層形状に何らの制約を生じない。従って、本実施例に基づけば所望のトランジスタ特性を基板浮遊効果の影響なく実現することができる。

【0052】本実施例に於いて、結晶欠陥領域 11 端から n 型低濃度拡散層 9 接合までの間隔 Wb と n 型低濃度拡散層 9 の最大不純物濃度 Nb の最適条件を検討するために図 16 の状態において、P イオン注入のドーズ量と開口側壁膜 131 の膜厚を種々変へて製造した。n 型低濃度拡散層 9 の最大不純物濃度 Nb は  $1 \times 10^{16} / \text{cm}^3$  から  $1 \times 10^{20} / \text{cm}^3$  まで、間隔 Wb は 20 nm から 500 nm まで変化させた。最大不純物濃度 Nb が  $1 \times 10^{19} / \text{cm}^3$  から  $1 \times 10^{20} / \text{cm}^3$  と高くなると SOI 基板 30 からの正孔注入に対する障壁が高くなるためか基板浮遊効果解消の兆しは殆ど観測されなかった。最大不純物濃度 Nb が  $1 \times 10^{18} / \text{cm}^3$  から  $1 \times 10^{19} / \text{cm}^3$  においては間隔 Wb が 100 nm 以下で基板浮遊効果の解消が観測され、間隔 Wb が狭まるほど顕著となった。 $1 \times 10^{16} / \text{cm}^3$  の最大不純物濃度 Nb においては間隔 Wb に依らず基板浮遊効果の解消が観測されたが間隔 Wb が 50 nm 以下の試料に於いてはドレイン電圧 2 V の条件で  $10^{12} \text{A}$  程度のソース・ドレイン微小リーク電流が観測された。上記リーク電流はデジタル回路応用に於いては問題とはならないがアナログ回路に於いては使用上注意を要する。上記結果を数値としてまとめると最大不純物濃度 Nb と結晶欠陥領域 11 端から n 型低濃度拡散層 9 接合までの間隔 Wb の積 Nb × Wb は  $1 \times 10^{13} / \text{cm}^2$  以下、好ましくは  $1 \times 10^{12} / \text{cm}^2$  程度であることが望ましい。

#### 【0053】実施例 5

図 19 は本発明の他の実施例による半導体装置の製造工程を示す断面図、図 20 はその完成断面図である。前記実施例 1 において、単結晶 Si 層 30 として 500 nm の厚さの SOI 基板を用い、素子間分離絶縁膜 4 の形成により単結晶 Si 膜 30 の活性領域を互いに分離した後、所望の回路構成に従って該活性領域の一部には導電型変更と閾電圧値制御のイオン注入を施して低濃度 n 型領域 31 とした。他の活性領域に於いては閾電圧値制御の B イオン注入を施した。低濃度 n 型領域 31 と低濃度 p 型領域 3 上に前記実施例 2 に従って、ゲート酸化膜 5、ゲート電極 61、ゲート保護絶縁膜 7 を形成した。本実施例においてはゲート電極 61 として W 膜を用いた。この状態より前記実施例 2 に従い、ゲート電極 61 をマスクとしたイオン注入を施した。上記イオン注入は低濃度 p 型領域 30 では前記実施例に従い低濃度 n 型拡

散層 9、及び 10 の形成のための P イオン注入と、高濃度 n 型拡散層 91、101 の形成のための As イオン注入を行ない、低濃度 n 型領域 31 では B イオン注入による低濃度 p 型拡散層 90、及び 100 の形成と高濃度 p 型拡散層 92 及び 102 を形成を実施した。低濃度 n 型拡散層 9、及び 10 と低濃度 p 型拡散層 90、及び 100 は酸化膜 2 に達するごとく形成し、その最大不純物濃度は最終的に  $1 \times 10^{17} / \text{cm}^3$  になるごとく設定した。上記の各イオン注入とその後の活性化熱処理の後、nMOS 形成領域にはシリコン窒化膜を選択残置し、異方性ドライエッチングにより、nMOS ゲートの側壁部にのみシリコン窒化膜による 100 nm 厚のゲート側壁絶縁膜 8 を形成した。同様に pMOS 形成領域には酸化膜を選択残置し、異方性ドライエッチングにより、pMOS ゲートの側壁部にのみ酸化膜による 200 nm 厚のゲート側壁絶縁膜 8 を形成した。上記 pMOS、及び nMOS のゲート側壁絶縁膜 8 は所望により同一材料による同一膜厚であっても良い。しかる後、ゲート電極 61、ゲート側壁絶縁膜 8 をマスクとして酸化膜 2 界面に達するごとくドーズ量  $5 \times 10^{15} / \text{cm}^3$  の Ar をイオン注入し、低濃度 n 型拡散層 9、及び 10 と低濃度 p 型拡散層 90、及び 100 内部で高濃度 n 型拡散層 91、101 及び高濃度 p 型拡散層 92 及び 102 から隔離された領域に結晶欠陥領域 11 を埋込形成した。結晶欠陥領域 11 の形成は Ar のイオン注入によらず、前記実施例 2 のごとく Si のイオン注入等によっても何ら差し支えない。上記結晶欠陥領域 11 は下地酸化膜 2 の影響により再結晶化熱処理によっても下地酸化膜 2 に接する領域は単結晶化されず、多結晶状の結晶欠陥領域が保持されていた。上記結晶欠陥領域 11 の形成はソース領域に注入される少数キャリアの再結合中心としての役割を有するものであり、イオン注入時点で非晶質となる必要はなく、最終製造工程までの熱処理により形成した結晶欠陥が完全に回復されない条件が得られれば良い。上記観点からイオン注入量も  $10^{14} / \text{cm}^2$  程度と少なくとも良い。更には He や H、F の如き軽元素のイオン注入による欠陥形成も有効である (図 19)。

【0054】図 19 の状態より前記実施例 1 に従い配線保護絶縁膜 13 の堆積と所望箇所への開口、配線用金属膜の蒸着とそのパターニングにより接地電位線 17、出力端子 18、及び電源電圧線 19 を含む配線を形成した (図 20)。

【0055】上記製造工程を経て製造された本実施例に基づく半導体装置、CMOS、において pMOS、nMOS の何れに関しても基板浮遊効果に起因する緒症状を観測することができなかつた。更に nMOS 閾電圧値の負方向変動、pMOS 閾電圧値の正方向変動によって接地電位線 17 と電源電圧線 19 間に生じる SOI・CMOS 特有の基板浮遊効果に基づく貫通電流も観測されなかつた。pMOS において、基板浮遊効果が見られなかつた。



ったことはチャネル部単結晶Si膜31に発生した少数キャリアである電子が低濃度p型拡散層100内を移動し、結晶欠陥領域11内の再結合中心により消滅するためと考えられる。本実施例に基づく半導体装置においては、nMOSとpMOSの基板浮遊効果を同一のイオン注入工程で解消することができ、製造工程を複雑にすることなく、従って廉価にCMOSの高性能化を達成することができた。

【0056】本実施例において、再結晶中心として作用する結晶欠陥領域11とチャネル下部の低濃度p型領域3、或いは低濃度n型領域31間間隔を決定するためのゲート側壁絶縁膜8の膜厚をnMOSとpMOSで異なるごとく形成した。上記は低濃度p型拡散層90及び100と、低濃度n型拡散層9及び10の不純物の違いにより接合深さが異なる点を考慮し、その補正を目的とするものである。

【0057】本実施例において、低濃度p型拡散層90及び100と、低濃度n型拡散層9及び10の最大不純物濃度は $1 \times 10^{15} / \text{cm}^3$ 以上、 $1 \times 10^{18} / \text{cm}^3$ 以下であることが望ましく、特に $1 \times 10^{16}$ から $5 \times 10^{17} / \text{cm}^3$ の範囲であることが望ましい。これは $5 \times 10^{17} / \text{cm}^3$ 以下において、基板浮遊現象の解消は特に顕著であるが、一方 $1 \times 10^{16} / \text{cm}^3$ 以下においてp-n接合の逆方向特性に $1 / 10^{12} \text{A}$ 程度の微小電流が生じ、トランジスタのリーク電流となる恐れがある。

【0058】更に、結晶欠陥領域11形成のためのイオン注入工程はCMOSにおいても一回でよく、イオン注入元素も低濃度p型拡散層90及び100と、低濃度n型拡散層9及び10内で導電型に変動をきたさない材料であればよく、14族元素のSi、Ge、C等、及びF、Cl等のハロゲン元素、更にはHe、Ne、Ar等の希ガス元素等が望ましい。

#### 【0059】実施例6

図21は本発明の他の実施例による半導体装置の製造工程を示す断面図、図22はその完成断面図である。本実施例においては前記実施例5に基づいて半導体装置を製造したが単結晶Si膜30の膜厚は100nmの超薄膜SOI基板を用い、完全空乏型の相補型MOS電界効果トランジスタを製造した。本実施例においてはソース高濃度n型拡散層91、及び高濃度p型拡散層102の接合深さは約50nmに設定した。又、低濃度n型拡散層9及び低濃度p型拡散層90はその底部を下地酸化膜2と接する如く構成し、その最大不純物濃度は $1 \times 10^{16}$ から $2 \times 10^{17} / \text{cm}^3$ になるごとく設定した。nMOSのソース高濃度n型拡散層91下部に隣接した低濃度n型拡散層9内、及びpMOSにおけるソース高濃度p型拡散層102下部に隣接した低濃度p型拡散層90内に下地酸化膜2に接するごとく結晶欠陥層よりなる再結合中心領域11を前記実施例5に従ってSiイオン注入工程により形成した。本実施例では上記Siイオン注入

工程に先立って、Siイオン注入の最大濃度深さに一致するごとくnMOSのソース高濃度n型拡散層91下部領域ではBイオンの、pMOSソース高濃度p型拡散層102下部領域ではPイオンを各々選択的にイオン注入した。上記B、及びPイオン注入は最大濃度で $1 \times 10^{18} / \text{cm}^3$ となるごとくドーズ量を設定した(図21)。

【0060】図21の状態から前記実施例5に従って配線保護絶縁膜13の形成、及びその所望箇所への開口、さらには配線用金属膜の蒸着とそのパターンニングにより接地電位線17、出力端子18、及び電源電圧線19を含む配線を形成した(図22)。

【0061】上記製造工程を経て製造された本実施例に基づく半導体装置、CMOS、においてpMOS、nMOSの何れに関しても基板浮遊効果に起因する緒症状を観測されないことは前記実施例5と同様であったが、本実施例に基づく半導体装置においては単結晶Si層3が100nmと極めて薄く、チャネル領域における基板不純物濃度も低く設定されている。従って、単結晶Si層3内の電荷量限定により閾電圧以上のゲート電圧条件ではチャネル領域の単結晶Si層3に中性領域は存在せず、完全空乏状態となっている。これは電流駆動源であるチャネル中の可動電荷を効果的に誘起することができ、大電流化に適している。即ち、低電圧・高速動作に適している。本実施例に基づく半導体装置においては基板浮遊効果を伴うことなく上記の完全空乏型SOIMOSが従来半導体装置の製造方法のみで廉価に提供できた。

#### 【0062】実施例7

図23から図24は本発明の第7の実施例による半導体装置の製造工程順を示す断面図、図25はその完成断面図である。図26は本実施例を適用したNANDゲート回路を示す回路図で、図中の点線で囲まれたnMOS領域の構造断面図が図25及び図23、図24である。直径12.5cmの単結晶Siよりなる支持基板1上に500nm厚のシリコン酸化膜(単に酸化膜と称する)2、及び200nm厚のn導電型、抵抗率 $0.5 \Omega \text{cm}$ (不純物濃度 $1 \times 10^{16} / \text{cm}^3$ )、面方位(100)の単結晶Si層3からなるSOI基板に公知のMOS電界効果型トランジスタの製造方法により素子間分離絶縁膜4、5nm厚のゲート酸化膜5、n型低抵抗多結晶Si膜よりなるゲート電極60、61及び62とゲート保護絶縁膜7を形成した。なお、ゲート酸化膜5の形成に先立って閾電圧値が0.1Vとなるごとく単結晶Si層3のゲート電極形成予定領域30の表面領域に、また下部領域にはパンチスルーストップのためのBイオン注入をレジストマスクにより選択的に施した。なおゲート長は200nmである。上記イオン注入はゲート酸化膜5の形成後に実施しても良い。図示していないがpMOS領域の単結晶Si層3にはp導電型、不純物濃度 $1 \times 1$

21

$0.16/\text{cm}^3$ となるごとく別途選択的にイオン注入を施した。この状態よりpMOS形成予定領域とnMOSソース領域の一部を覆うレジストマスク12とゲート保護絶縁膜7、及びゲート電極6を注入阻止マスクとして加速エネルギー15keV、ドーズ量 $5 \times 10^{14}/\text{cm}^2$ の条件によりAsのイオン注入とその後の熱処理を施し、浅接合の第一のn型高濃度拡散層ソース、及びドレイン90を形成した(図23)。

【0063】図23の状態より、100nm厚の堆積性絶縁膜を全面に形成し、異方性ドライエッチングによりゲート側壁部にのみ上記絶縁膜を選択的に残置させてゲート側壁絶縁膜8を形成した。再びpMOS形成予定領域とnMOSソース領域の一部を覆うレジストマスク12とゲート保護絶縁膜7、及びゲート電極6を注入阻止マスクとして第二のn型高濃度拡散層ソース9、91及びドレイン10をPのイオン注入とレジストマスク除去後の活性化熱処理により形成した。上記第二のn型高濃度拡散層ソース9、91及びドレイン10の接合深さは最終的に約100nmであった。しかる後、pMOS領域においてレジストマスクを用いてBのイオン注入を施し、p型高濃度拡散層ソース、ドレインを形成した(図示せず)。引続き、30nm厚のTi膜をスパッタリングにより全面に形成してから窒素雰囲気中で750℃、60秒の短時間熱処理を施し、露出されているSi面にのみ選択的にTiの珪化膜11を形成した。酸化膜上の未反応のTi膜を過酸化水素水で除去した後、上記Ti珪化膜11の低抵抗化熱処理をAr雰囲気中で850℃、60秒実施した(図24)。

【0064】図24の状態より隣が添加されたシリコン酸化膜による配線保護絶縁膜13の堆積と公知の半導体装置の製造方法に基づき配線保護絶縁膜13の所望箇所への開口、更には配線金属の蒸着とそのパターンニングによるソース電極14、ドレイン電極15等を含む配線を形成した。(図25)。

【0065】上記製造工程を経て製造された図26の回路図で示されるNAND回路を含む本実施例に基づく半導体集積回路装置のソース・ドレイン間耐圧は4.7Vとソース内のp型拡散層11が構成されていない同一寸法の従来構造SOIMOSに比べて約1.5V向上し、通常半導体基板に製造された同一寸法のMOSと同等の耐圧値を確保することができた。また、電流・電圧特性においてもキック特性と称される異常なこぶ状特性は観測されず、正常な特性を示した。更に、ソース・ドレイン電流・ゲート電圧特性において、従来SOI・MOSで観測された低ゲート電圧におけるリーク電流の存在も観測されなかった。また上記リーク電流、及び閾電圧値はドレイン電圧を変化させても変化が見出せなかった。これらの特性から、本実施例に基づく半導体集積回路装置では基板浮遊効果に伴う緒特性から完全に解消された。さらにソース領域の高融点珪化膜の存在によりソー

22

ス直列抵抗が低減され、大電流で高速動作のSOI半導体集積回路装置を実現できた。

【0066】本実施例に基づくNAND回路の直列接続nMOSの各トランジスタにおいてはソース領域に少数キャリア消滅機構が構成されないが基板が共通の構成を有しているため端部トランジスタのソース領域における少数キャリア消滅機構3及び11の働きにより基板浮遊効果に基づく緒現象を解消することができた。

【0067】本実施例に基づく半導体集積回路装置においては単結晶Si層3が200nmと比較的厚く、チャネル領域下部における基板領域では閾電圧以上のゲート電圧印加によっても空乏層と中性領域が存在する所謂部分空乏化構造となる。部分空乏化構造は低電圧・高速動作で完全空乏構造に比べてやや落ちるが製造条件において従来の半導体基板を用いた条件で、製造工程数の増加をもたらすことなく、容易に製造できた。本実施例に基づく半導体集積回路装置においては廉価に部分空乏化構造MOSの基板浮遊対策を提供できる。

【0068】実施例8

図27から図28は本発明の他の実施例による半導体集積回路装置の製造工程順を示す断面図、図29はその完成断面図である。前記実施例7において、素子間分離絶縁膜4の形成後、pMOS形成予定領域3iがp導電型、不純物濃度 $1 \times 10^{16}/\text{cm}^3$ になるごとくBのイオン注入と熱処理を単結晶Si層3に施した。しかる後、nMOSのゲート電極形成予定領域下部の単結晶Si層30表面領域に閾電圧値が0.1Vとなるごとく、また下部領域にはパンチスルーストップのためのBイオン注入をレジストマスクにより選択的に施した。pMOSのゲート電極形成予定領域下部の単結晶Si層32においては閾電圧値が-0.1Vとなるごとく、表面領域へのPイオン注入を、また下部領域にはパンチスルーストップのためのPイオン注入をレジストマスクにより選択的に施した。続いて、ゲート酸化膜5、ゲート電極60及び62、ゲート保護絶縁膜7の形成を前記実施例7に従って製造してからpMOS形成予定領域とnMOSのソース領域の一部を覆うごとく配置したレジストマスク12とnMOSゲート電極60、及びゲート保護絶縁膜7を注入阻止マスクとするAsの2keVなる低加速エネルギーで高濃度イオン注入を行ない、レジスト膜12の除去後に実施した活性化熱処理により接合深さ10nm、表面不純物濃度 $1 \times 10^{21}/\text{cm}^3$ の浅接合n型高濃度拡散層90を形成した(図27)。

【0069】図27の状態よりnMOS形成予定領域とpMOSのソース領域の一部を覆うごとく配置したレジストマスク12とpMOSゲート電極62、ゲート保護絶縁膜7を注入阻止マスクとするBF<sub>2</sub>を注入ソースとするイオン注入と上記レジスト膜12除去後の熱処理により極浅接合の第一のp型高濃度拡散層100及び101を形成した。しかる後、前記実施例1に従い100nm

10

20

30

40

50



m厚のゲート側壁絶縁膜8を形成してから再びpMOS領域とnMOSソース領域の一部を覆うごとく配置したレジストマスク12を設け、該レジストマスクとnMOSのゲート電極60、保護絶縁膜7を注入阻止マスクとするPのイオン注入及びその後の熱処理により接合深さ100nmの第二のn型高濃度ソース拡散層90、及び高濃度ドレイン拡散層92を形成した。更に、nMOS領域とpMOSソース領域の一部を覆うごとく配置したレジストマスク12を再び設け、該レジストマスクとpMOSゲート電極62、ゲート保護絶縁膜7を注入阻止

マスクとしたBF<sub>2</sub>のイオン注入とその後の熱処理により接合深さ100nmの第二のp型高濃度ソース拡散層102、及び高濃度ドレイン拡散層105を形成した(図28)。  
 【0070】図28の状態より露出されたn型低濃度Si層3、n型高濃度ソース拡散層90、n型高濃度ドレイン拡散層92、p型高濃度ドレイン拡散層105、p型高濃度ソース拡散層102、及びp型低濃度Si層31の各表面に80nm1厚のW膜111を選択的に堆積させた。上記W膜111の形成は選択堆積法によらずとも良く、例えば全面堆積後、所望個所に選択的に残置するごとくパターニングしても良い。更に上記W膜111はTi、Ta、Mo、Al等の他の金属膜、或いはTiN、WN等の低抵抗金属化合物であっても良い。最後に公知の半導体装置製造方法に基づき、配線保護絶縁膜13の堆積と、所望個所への開口を施してから配線金属材料による接地電位線14、出力端子18、及び電源電位線15を含む電極、及び配線層を形成した(図29)。

【0071】上記製造工程を経て製造された本実施例に基づく半導体集積回路装置では基板浮遊効果に伴う緒特性が観測されず、正常な部分空乏型SOIMOS特性を得ることができた。特に本実施例の半導体集積回路装置においてはW膜111にn型、又はp型不純物がn型高濃度ソース拡散層90或いはp型高濃度ソース拡散層102から取り込まれることがない。n型低濃度Si層3、あるいはp型低濃度Si層31とW膜111界面に高濃度不純物層が蓄積による少数キャリア注入障壁は形成されず、実施例1に比べて更に効率良く基板浮遊効果を解消できた。

#### 【0072】実施例9

図30は本発明の他の実施例による半導体装置の完成断面図である。本実施例では前記実施例2に従って半導体集積回路装置を製造したが、前記実施例8におけるW膜111に代えて前記実施例7と同様に高融点金属の珪化膜を形成した。本実施例においては露出単結晶Si層上に全面蒸着したW膜の熱反応によるタングステン珪化膜111を形成した。しかる後、配線保護絶縁膜13の堆積と所望個所への開口を施したが、nMOSソース上のタングステン珪化膜111への接続口に選択的にBイオ

ン注入を施し、その後の熱処理によりタングステン珪化膜111底面のp型低濃度Si領域3にp型拡散層103を形成した。しかる後、前記実施例2に従って配線金属材料による接地電位線14、出力端子18、及び電源電位線15を含む電極、及び配線層を形成した。上記Bイオン注入によるp型拡散層103の形成はn型低濃度領域3の表面が隣接する高濃度n型拡散層からのn型不純物が金属珪化膜111を介して拡散し、n型高濃度化するのを補償する目的であり、p反転させず、低濃度n型拡散層であってもさしつかえない(図30)。

【0073】上記製造工程を経て製造された本実施例に基づく半導体集積回路装置においては、前記実施例8に基づく半導体集積回路装置と同様に基板浮遊効果に伴う緒特性が観測されず、正常なSOIMOS特性を得ることができた。特に前記実施例1に比べて基板浮遊効果解消の効果は著しく、低ゲート電圧におけるリーク電流の低減の再現歩留まりが更に向上された。これは前記実施例7においては金属珪化膜111とn型拡散層3間障壁が隣接する高濃度n型拡散層からのn型不純物が金属珪化膜111を介した拡散によりn型高濃度化し、正孔注入の障壁を上昇させる傾向、即ち基板浮遊効果解消の程度が阻害される傾向が、n型高濃度ソース拡散層9のさらなる高濃度化等の製造条件によっては存在したのに対し、本実施例構造においてはn型低濃度領域3に注入された正孔に対してp型拡散層103の存在がn型高濃度ソース拡散層9の製造条件等に依存せず、金属珪化膜111とn型拡散層3間障壁を低下させ、速やかに金属珪化膜111への注入・再結合を助長するためと考えられる。

#### 【0074】実施例10

図31は本発明の他の実施例による半導体装置の構成を示す図である。本実施例は、実施例1～9記載の本発明に基づく半導体装置により構成された随時書込み読み出し型記憶装置(DRAMと称される)に適用した例である。図において、一記憶単位であるメモリセルは下図のごとく本発明による一つの半導体装置と一つの容量素子Csの直列接続により構成され、データ伝達線であるビット線、及び入出力制御のワード線に接続される。本随時書込み読み出し型記憶装置はメモリセルが行列状に配置されたメモリセルアレイと制御用周辺回路で構成されるが、周辺回路も本発明の半導体装置により構成した。メモリセル選択のアドレス信号端子数を低減するため列アドレス信号と行アドレス信号をずらし多重化して印加するが、RASとCASは各々パルス信号であり、クロック発生器1、及び2を制御してアドレス信号を行デコーダと列デコーダに振分けている。緩衝回路であるアドレスバッファにより行デコーダ及び列デコーダに振分られたアドレス信号に従って特定のワード線、及びビット線を選択する。各ビット線にはフリップフロップ型増幅器によるセンスアンプが接続され、メモリセルから読出され

た信号を増幅する。パルス信号WEは書込みクロック発生器を制御することにより書込みと読出しの切換えを制御する。Dは書込み、及び読出し信号である。

【0075】本実施例の半導体装置を構成する各半導体装置が請求項1から5記載の本発明に基づく半導体装置よりなることによりアクセス時間を従来比で30%以上低減できる高速性が実現できた。さらに、リフレッシュ特性も16メガビットメモリ構成において、最悪で0.5秒と従来に比べて約10倍に向上することができた。上記の高速動作化はSOI構造による寄生容量低減効果、及び実施例6に基づく大電流化によると考えられる。リフレッシュ特性の向上はSOI構造による接合面積の低減、基板浮遊効果解消による閾電圧変動の解消に基づくと考えられる。

#### 【0076】実施例11

図32は本発明の他の実施例による半導体装置の構成を示す図である。本実施例は、実施例1～9記載の本発明に基づく半導体装置により構成された常時書込み読出し型記憶装置(SRAMと称される)に適用した例である。図において、一記憶単位であるメモリセルは下図のごとく本発明による二組の相補型MOSと信号の入出力を制御する二つのMOS(トランスファMOSと称される)で構成される。本SRAMはメモリセルが行列状に配置されたメモリセルアレイと制御用周辺回路で構成されるが、周辺回路も本発明の半導体装置により構成した。本実施例の構成は基本的に前記実施例10のものとほぼ同一であるが、SRAMの高速性、低消費電力性を図るためにアドレス遷移検出器を設け、これにより発生するパルスによって内部回路を制御している。更に、アドレスバッファからデコードまでの回路の高速化を図るため行デコードをプリデコードと主デコードの二段により構成している。チップセレクトは信号CS、及びWEにより情報の書込み、及び読出し時のデータの競合を避け、且つ書込みサイクル時間と読出しサイクル時間をほぼ同じにして高速動作を可能にするための回路である。

【0077】本実施例の半導体装置を構成する各半導体装置として実施例1～9記載の本発明に基づく半導体装置を用いることにより電源電圧を3.5Vから2.0Vと低減でき、且つアクセス時間を従来比で30%以上低減できる高速性が実現できた。上記はSOI構造による寄生容量低減効果によると考えられる。更に、基板浮遊効果解消による閾電圧変動が解消され、センスアンプの動作範囲の縮小による高速化が可能になったためと考えられる。

#### 【0078】実施例12

図33は本発明の他の実施例による半導体装置の構成を示す図である。本実施例は、実施例1～9記載の本発明に基づく半導体装置により構成された論理回路装置に適用した例である。図は複合ゲート回路の例であるが、本発明に基づく半導体装置により複合ゲート回路にNAN

D回路とNOR回路を含む論理回路に適用した。図の複合回路は $V_{out} = V_1 \times V_2 + V_3 \times V_4$ なる論理演算を行う回路であり、上記演算をNAND回路とNOR回路の組合せで構成するよりトランジスタ数を1/2に低減できる。

【0079】本実施例の半導体装置を構成する各半導体装置が請求項1から5記載の本発明に基づく半導体装置でなることにより従来論理回路装置に比べて遅延時間で20%以上の低減が図られた。上記はSOI構造による寄生容量低減効果、及び実施例4に基づく大電流化、及び低電圧におけるドレインコンダクタンスの大幅な向上によると考えられる。

#### 【0080】実施例13

図34は本発明の他の実施例による半導体装置の構成を示す図である。

【0081】本実施例は、実施例1～9記載の本発明のに基づく半導体装置により構成された信号伝送処理装置に関し、特に非同期伝送方式(ATM交換器と称される)に関する信号伝送処理装置である。図34に於いて、光ファイバーにより超高速で直列的に伝送されてきた情報信号は電気信号に変換し(O/E変換)、且つ並列化(S/P変換)させる装置を介して実施例1～9記載の本発明に基づく半導体装置により構成される集積回路(BFMLS I)に導入した。該集積回路で番地付処理された電気信号は直列化(P/S変換)及び光信号化(E/O変換)されて光ファイバーで出力される。上記BFMLS Iは多重器(MUX)、バッファメモリ(BFM)、及び分離器(DMUX)により構成される。該BFMLS Iはメモリ制御LSI、及び空アドレス振分け制御の機能を有するLSI(空アドレスFIFOメモリLSI)により制御される。本信号伝送処理装置は伝送すべき番地と無関係に送られてくる超高速伝送信号を所望番地に超高速で伝送するスイッチの機能を有する装置である。BFMLS Iは入力光信号の伝送速度に比べて著しく動作速度が遅い為、入力信号を直接スイッチングできず、入力信号を一時記憶させ、記憶された信号をスイッチングしてから超高速な光信号に変換して所望番地に伝送する方式を用いている。BFMLS Iの動作速度が遅ければ、大きな記憶容量が要求される。本実施例に基づくATM交換器に於いてはBFMLS Iが実施例1～9記載の本発明のに基づく半導体装置により構成されることにより従来のBFMLS Iに比べて動作速度が三倍と高速で且つ廉価なため、BFMLS Iの記憶容量を従来比で約1/3と低減することがとが可能となった。これによりATM交換器の製造原価を低減することができた。

#### 【0082】実施例14

他の実施例を図35の計算機構成図で説明する。本実施例は本発明の半導体装置を命令や演算を処理するプロセッサ500が複数個並列に接続された高速大型計算機に

適用した例である。本実施例では本発明による半導体装置が従来のバイポーラトランジスタを用いた集積回路よりも集積度が高く廉価なため、命令や演算を処理するプロセッサ500、システム制御装置501、及び主記憶装置502等を1辺が10から30mmの本発明の半導体装置で構成した。

【0083】これら命令や演算を処理するプロセッサ500、システム制御装置501、及び化合物半導体装置からなるデータ通信インタフェース503を同一セラミック基板506に実装した。また、データ通信インタフェース503、及びデータ通信制御装置504を同一セラミック基板507に実装した。これらセラミック基板506、及び507と主記憶装置502が実装されたセラミック基板を大きさが1辺約50cm程度、あるいはそれ以下の基板に実装し、計算機の中央処理ユニット508を形成した。この中央処理ユニット508内データ通信や、複数の中央処理ユニット間データ通信、あるいはデータ通信インタフェース503と入出力プロセッサ505を実装した基板509との間のデータの通信は図中の両端矢印線で示される光ファイバ510を介して行われた。

【0084】この計算機では命令や演算を処理するプロセッサ500、システム制御装置501、及び主記憶装置502等の本発明による半導体装置が並列で、且つ高速に動作し、またデータの通信が光を媒体に行われるため、1秒間当たりの命令処理回数を大幅に増加することができた。

#### 【0085】

【発明の効果】本発明によればSOI基板上に構成された半導体装置の最大の欠点であった基板浮遊効果に基づく閾電圧の変動や電流電圧特性上の異常なこぶ上特性の発生を占有面積の増大や、ソースへのGeイオン注入等の如きイオン源が不安定で、且つ専用装置を必要とする製造方法に基づくことなく、既存の半導体装置の製造装置によって、廉価に製造することができる。さらに、本発明によれば従来不可能であったSOI基板上のpMOSの基板浮遊効果に対しても廉価な製造方法により解決することができる。従って、本発明によればSOI基板上のCMOSに対して廉価な製造方法により基板浮遊効果を完全に解消することができる。これにより低電圧、停電力で且つ超高速の半導体装置、及びそれにより構成されるシステムを提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施例による半導体装置の完成断面図。

【図2】従来の半導体装置の断面図。

【図3】従来の半導体装置における基板浮遊効果解消機構を説明するエネルギーバンド図。

【図4】本発明の半導体装置における基板浮遊効果解消機構を説明するソース拡散層断面図。

【図5】本発明の半導体装置による基板浮遊効果解消機構を説明するエネルギーバンド図。

【図6】本発明の半導体装置による基板浮遊効果解消機構に関する解析結果。

【図7】本発明の半導体装置における基板浮遊効果解消機構を説明する等価回路図。

【図8】本発明の半導体装置による基板浮遊効果解消機構に関する解析結果。

【図9】本発明の半導体装置における基板浮遊効果解消機構を説明するソース拡散層断面図。

【図10】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図11】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図12】本発明の第1の実施例による半導体装置の製造工程順を示す断面図。

【図13】本発明の第2の実施例による半導体装置の製造工程順を示す断面図。

【図14】本発明の第2の実施例による半導体装置の完成断面図。

【図15】本発明の第3の実施例による半導体装置の完成断面図。

【図16】本発明の第4の実施例による半導体装置の製造工程順を示す断面図。

【図17】本発明の第4の実施例による半導体装置の製造工程順を示す断面図。

【図18】本発明の第4の実施例による半導体装置の完成断面図。

【図19】本発明の第5の実施例による半導体装置の製造工程順を示す断面図。

【図20】本発明の第5の実施例による半導体装置の完成断面図。

【図21】本発明の第6の実施例による半導体装置の製造工程順を示す断面図。

【図22】本発明の第6の実施例による半導体装置の完成断面図。

【図23】本発明の第7の実施例による半導体装置の製造工程順を示す断面図。

【図24】本発明の第7の実施例による半導体装置の製造工程順を示す断面図。

【図25】本発明の第7の実施例による半導体装置の完成断面図。

【図26】本発明の第7の実施例による半導体装置の回路図。

【図27】本発明の第8の実施例による半導体装置の製造工程順を示す断面図。

【図28】本発明の第8の実施例による半導体装置の製造工程順を示す断面図。

【図29】本発明の第8の実施例による半導体装置の完成断面図。

【図30】本発明の第9の実施例による半導体装置の完成断面図。

【図31】本発明の第10の実施例を説明するための随時書き込み読み記憶装置構成図。

【図32】本発明の第11の実施例を説明するための常時書き込み読み記憶装置構成図。

【図33】本発明の第12の実施例を説明するための論理回路装置構成図。

【図34】本発明の第13の実施例を説明するための非同期伝送モードシステム構成図。

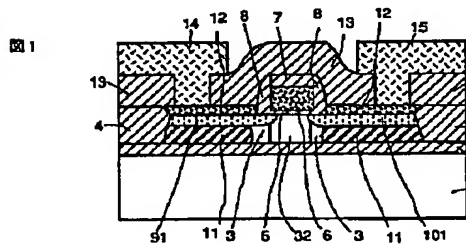
【図35】本発明の第14の実施例を説明するための計算機構成図。

【符号の説明】

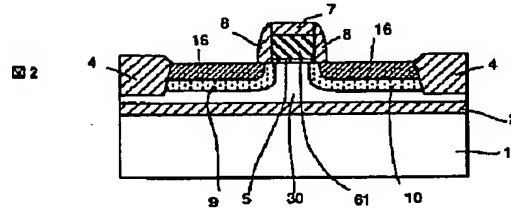
1…支持基板、2…酸化膜、3及び30…単結晶Si層、4…素子間分離絶縁膜、5…ゲート酸化膜、6…ゲート電極、7…ゲート保護絶縁膜、8…ゲート側壁絶縁

膜、9及び10…低濃度n型拡散層、11及び111…再結合中心領域、12…W膜、13…配線保護絶縁膜、14…ソース電極、15…ドレイン電極、16…SiGe共晶層、17…接地電位線、18…出力端子、19…電源電圧線、31…n型領域、32…p型領域、33…n型低濃度拡散層、90及び100…p型拡散層、91及び101…高濃度n型拡散層、92及び102…高濃度p型拡散層、110…n型拡散層、121…シリサイド層、500…プロセッサ、501…システム制御装置、502…主記憶装置、503…データ通信インタフェース、504…データ通信制御装置、505…入出力プロセッサ、506…セラミック基板、507…セラミック基板、508…中央処理ユニット、509…入出力プロセッサ実装基板、510…データ通信光ファイバ。

【図1】



【図2】



【図3】

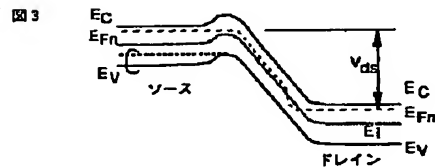
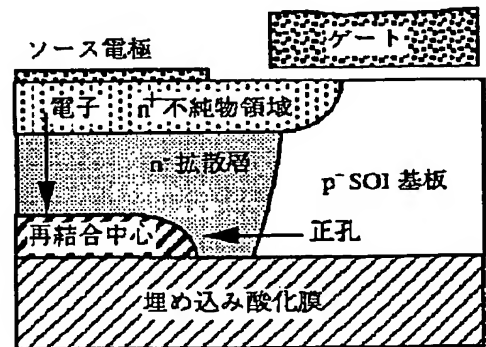
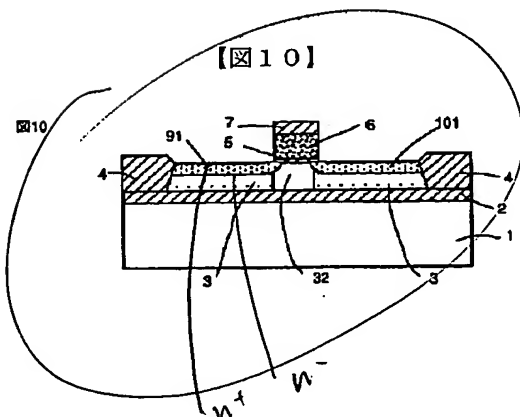


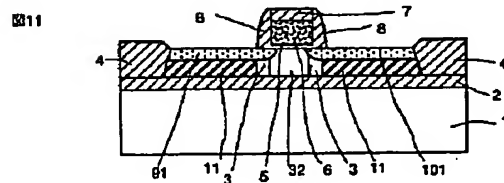
図4



【図10】



【図11】



【図 2 6】

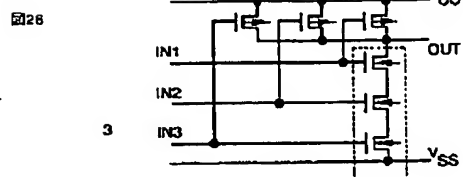
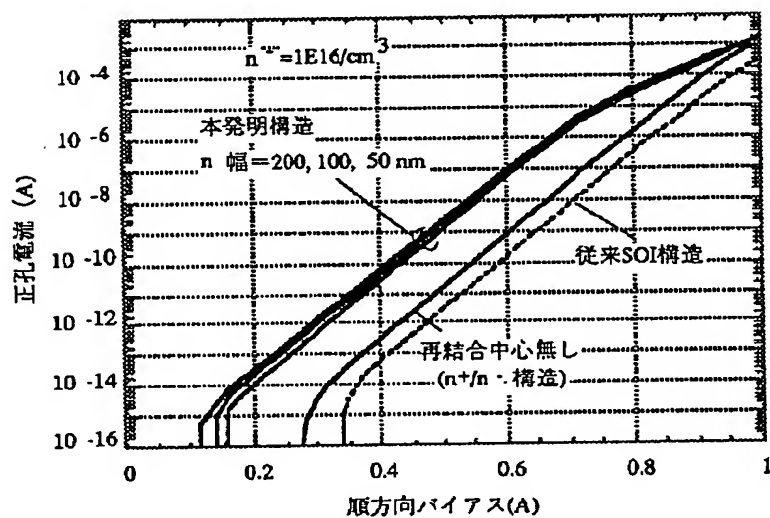
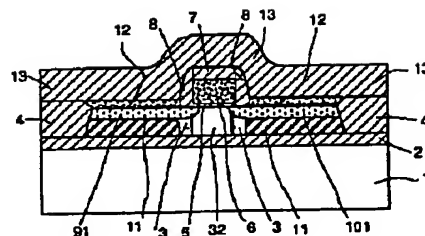
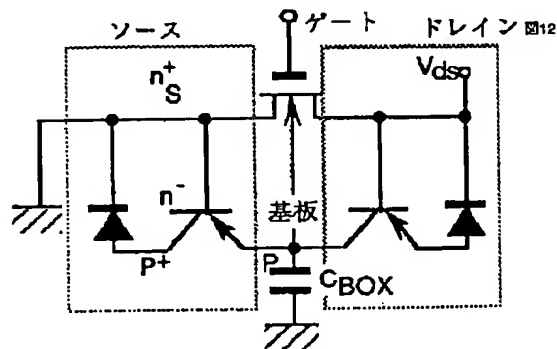


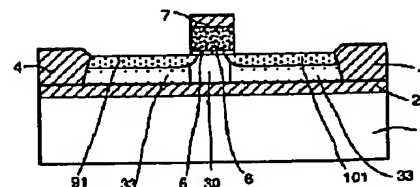
图 6



【図 12】

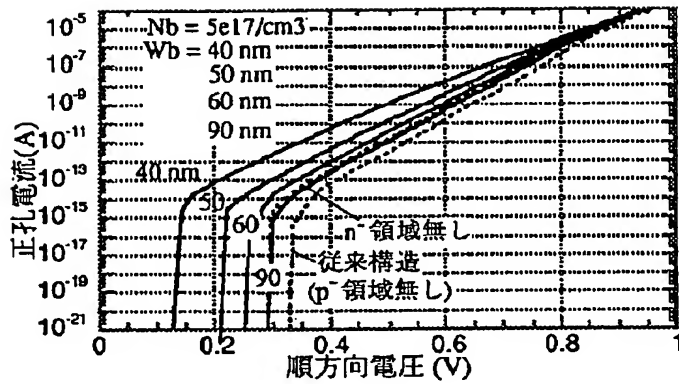


**13**



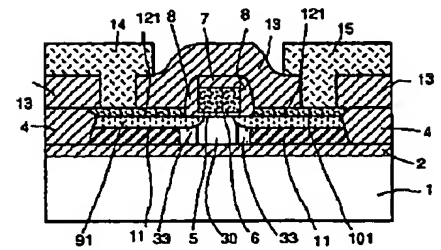
【図8】

図8



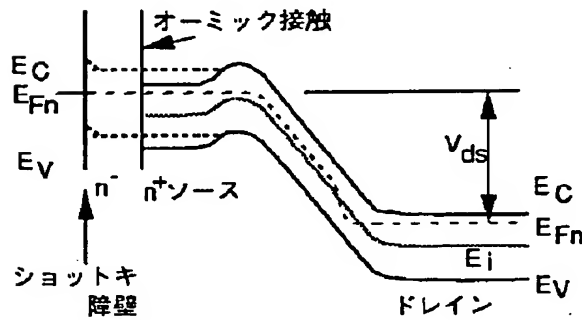
【図14】

図14



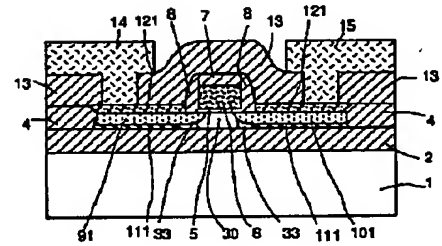
【図9】

図9



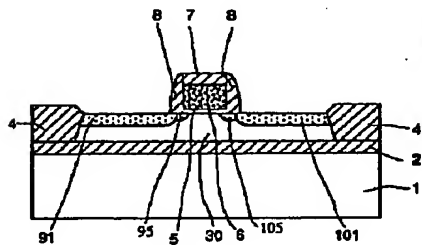
【図15】

図15



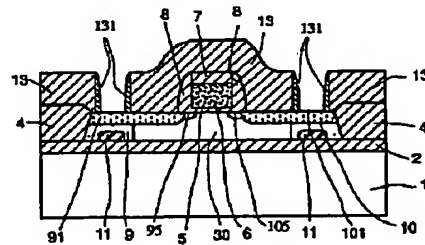
【図16】

図16



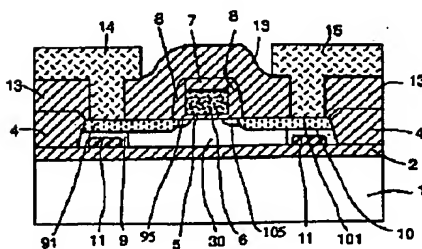
【図17】

図17



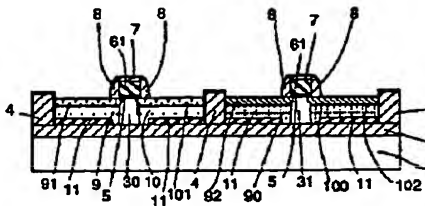
【図18】

図18



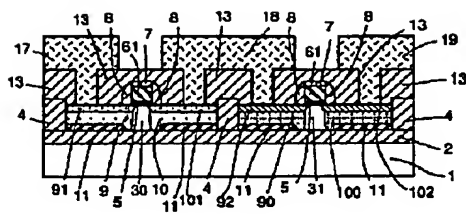
【図19】

図19



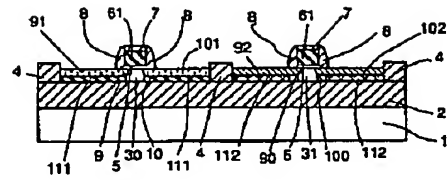
【図20】

図20



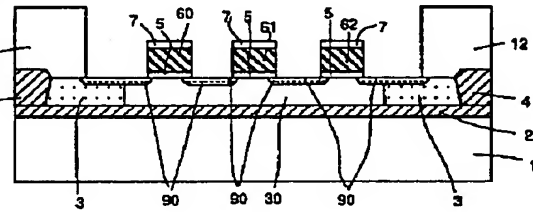
【図21】

図21



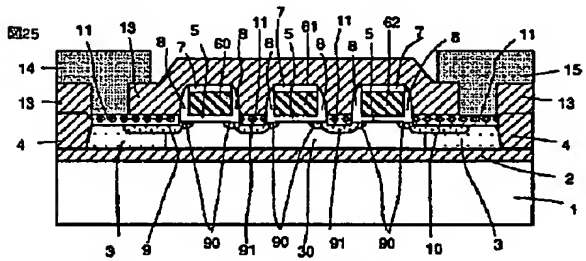
【図23】

図23



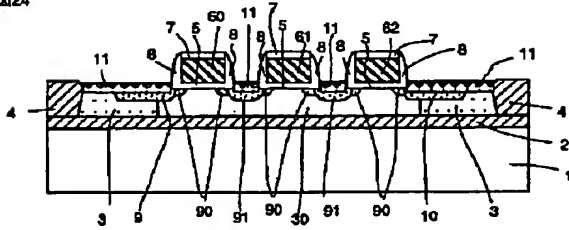
【図25】

図25



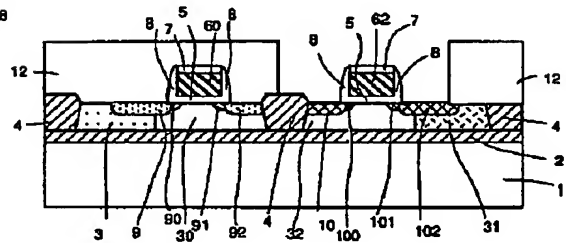
【図24】

図24



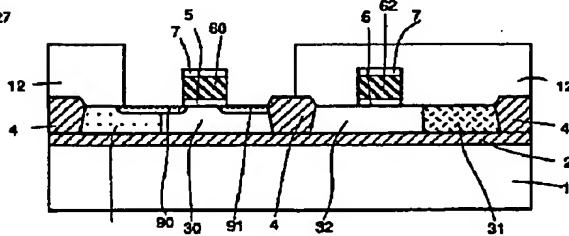
【図28】

図28



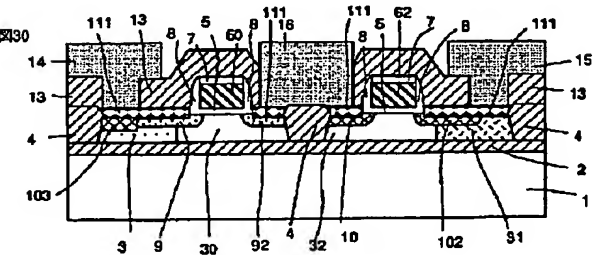
【図27】

図27



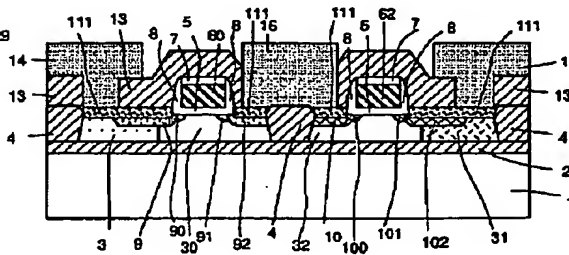
【図30】

図30



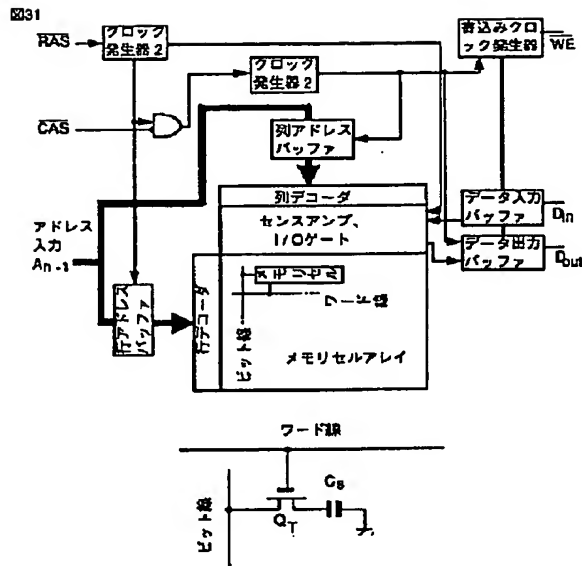
【図29】

図29

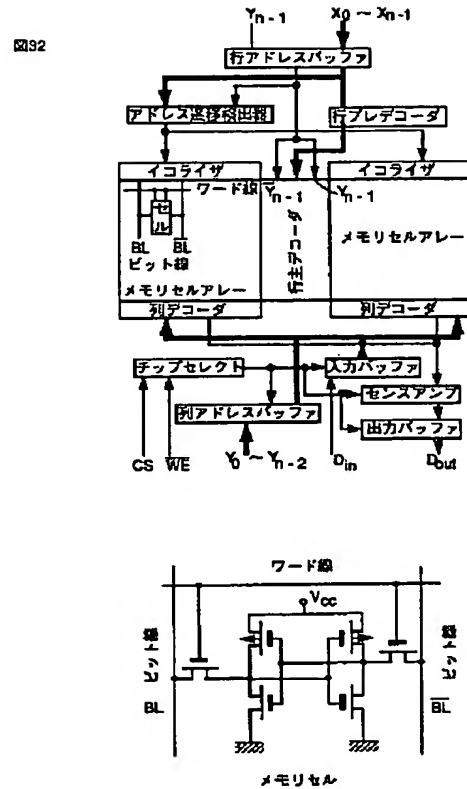




【図31】

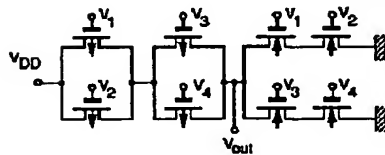


【図32】

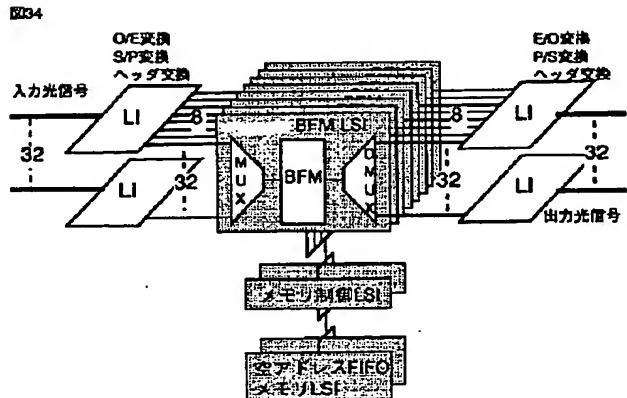


【図33】

図33



【図34】



【図 3 5】，

